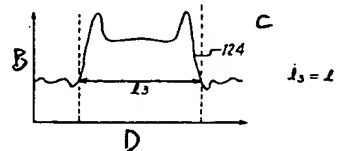
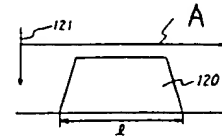


(54) LENGTH-MEASURING METHOD BY ELECTRON BEAM

(11) 4-102344 (A) (43) 3.4.1992 (19) JP
 (21) Appl. No. 2-220197 (22) 22.8.1990
 (71) NEC CORP (72) HIROSHI NOZUE
 (51) Int. Cl.⁵ H01L21/66, G01B7/02, G01R31/26

PURPOSE: To find the size of a pattern by a method wherein the accelerating voltage of an electron beam is changed gradually, the pattern formed on a specimen is scanned and obtained secondary-electron signal waveforms are composed and processed.

CONSTITUTION: The accelerating voltage of an electron beam is set at 1.2kV; after that, a pattern is scanned by using the electron beam a plurality of times; and an obtained secondary-electron signal waveform is stored in a first memory. Then, the accelerating voltage is set at 800V; the pattern is scanned by using the electron beam a plurality of times; and a secondary-electron signal waveform is stored in a second memory. Then, the secondary-electron signal waveforms which have been stored in the first memory and the second memory are taken out; signals are composed by using a CPU; and the size of the pattern is computed. The size is measured to be a little thinner than an actual size (l) at the accelerating voltage of 1.2kV; and it is measured to be a little thicker at 0.8kV. When the secondary-electron signal waveforms obtained by using both accelerating voltages are composed, the size is measured to be nearly the actual size.



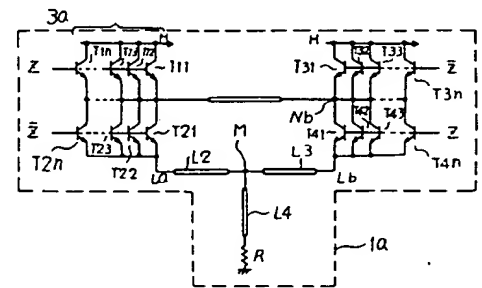
120 : measured specimen pattern, 121: electron beam, 124 : signal waveform, A: scanning direction of electron beam, B: amount of signal, C: composite signal, D: position of beam

(54) SEMICONDUCTOR DEVICE FOR TEST USE

(11) 4-102345 (A) (43) 3.4.1992 (19) JP
 (21) Appl. No. 2-220200 (22) 22.8.1990
 (71) NEC CORP (72) MASAO ISHIKA
 (51) Int. Cl.⁵ H01L21/66, G01R31/26, G01R31/30

PURPOSE: To test a large-current AC pulse stress and a large-current DC pulse stress in an wiring layer on a chip by a method wherein two current drive circuits which are connected in series are provided, via an wiring layer under test, on a semiconductor chip in such a way that the direction of an electric current is opposite.

CONSTITUTION: An output Z from a ring oscillator at the inside of a chip 1a or from a pulse generator connected on the outside is input to the bases of transistor groups T11 to T1n and T41 to T4n. A signal of the inverse of Z is input to the bases of transistor groups T21 to T2n and T31 to T3n. When the Z is at a high level, an electric current flows into a ground potential through a first wiring layer under test to a fourth wiring layer under test L1, L3, L4 and a resistance R; and the electric current does not flow to a second wiring layer under test L2. On the other hand, when the Z is at a low level, the electric current flows into the ground potential through the wiring layers under test L1, L2, L3 and the resistance R; and the electric current does flow to the third wiring layer under test L3. Consequently, when the input Z and the input of the inverse of Z are changed over alternately to the high level and the low level, an AC pulse can flow to the first wiring layer under test L1, a DC pulse can flow to the interconnection layers L2, L3 and a nearly definite DC current can flow to the wiring layer L4.



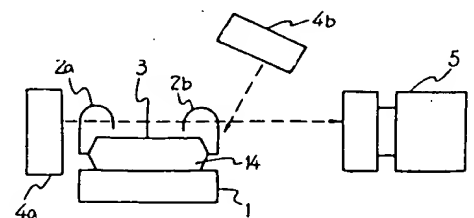
3a: series transistor part

(54) LEAD-BEND INSPECTION APPARATUS OF SEMICONDUCTOR DEVICE

(11) 4-102346 (A) (43) 3.4.1992 (19) JP
 (21) Appl. No. 2-220206 (22) 22.8.1990
 (71) NEC CORP (72) HITOSHI KAI
 (51) Int. Cl.⁵ H01L21/66, G01R31/26, H01L23/50

PURPOSE: To inspect a lead bend by a method wherein an illumination for projection use is installed on the outside of a lead row on one side of a package for a J-lead type semiconductor device, a camera is installed in such a way that lead rows on two sides are overlapped and an illumination for reflection use is installed on the package bottom side of a lead row on the other side.

CONSTITUTION: An illumination 4a for projection use is installed at the outside of a lead row on one side of a package for a J-lead type semiconductor device; a camera is installed in such a way that lead rows 2a, 2b on two sides are overlapped on the outside of a lead row on the other side opposite to one side; and an illumination 4b for reflection use is installed on the package bottom side of the lead rows. As a result, the base of the lead can be inspected and the bend of each lead can be inspected. Even when all leads are bent to the same degree in the same direction, a correct judgment can be made.



1 : stage, 3: package bottom, 5: camera, 14 : semiconductor device under test

⑫ 公開特許公報(A)

平4-102344

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)4月3日

H 01 L 21/66

G 01 B 7/02

G 01 R 31/26

C

7013-4M

F

7355-2F

F

8203-2G

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 電子線測長方法

⑯ 特 願 平2-220197

⑰ 出 願 平2(1990)8月22日

⑱ 発 明 者 野 末 寛 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

電子線測長方法

特許請求の範囲

電子線を試料上に集束して走査し、前記試料上に形成されているパターンの寸法を計測する電子線測長方法において、前記電子線の加速電圧を段階的に変えて前記試料上に形成されているパターン上を走査し、得られた2次電子信号波形を合成処理し、前記パターンの寸法を求めることを特徴とする電子線測長方法。

発明の詳細な説明

〔産業上の利用分野〕

本発明は電子線によりパターンの寸法を計測する電子線測長方法に関する。

〔従来の技術〕

近年、半導体集積回路の高集積化、高品質化が

進むにつれ、半導体検査に関しても高信頼性が追求されている。半導体集積回路の高集積化については超LSIなどと呼ばれている高密度記憶回路装置が微細加工の進歩により開発されつつあるが、この半導体集積回路をより低価格で生産するため、即ち歩留り向上及び工期短縮のため製造工程中での検査、特にパターン寸法計測が微細化に伴って重要となってきた。

他方、高品質化においては集積回路のパターン寸法がより高精度なものを得るため高精度寸法計測が必要となっている。いずれにおいても高精度寸法計測が必要である。

第7図は従来の電子線測長方法を説明するための電子線測長装置の一例を示す模式図である。

第7図に示すように、装置は防振台114と、防振台114上に設置され、真空ポンプ112及び113によって真空引きされた真空鏡筒部100と、真空鏡筒部100内に設置された電子光学系及びステージ系を制御する制御部115と、測長部パターンを表示するCRT116より

構成される。ステージ111はZ方向に垂直な面内での回転方向及びX-Y方向に移動可能でその上には被測定試料であるウェハー109を載せるためのウェハー台110が設置されている。電子銃部101より射出し制限アパーチャ102を通過した電子ビーム117は縮小レンズ104、106によって縮小され、さらに制限アパーチャ105を通過した後、再び投影レンズ108によって投影されウェハー109上に照射される。ウェハー109上に照射された直径が数10 μ m以下の円形ビームは走査偏向電極107によって、ウェハー上を走査し、これにより照射部より発生した2次電子はシンチレータ118によって捕捉収集され、得られた信号は制御部115で処理され寸法が求まる。測長時以外は電子ビーム117はブランキング電極103によってブランキングされ、即ちウェハー上に照射されず、ウェハー上に形成されたデバイスへの電子ビームダメージを最小限に防ぐように工夫されている。

測長時、電子線の加速電圧は半導体デバイスの

123である。電子ビームによる測長部の走査はSN比向上のため通常数回～百回程度繰り返される。ただし、走査回数が多くなる程チャージアップはひどくなるので、SN比とチャージアップとの兼ねあいで走査回数は決定される。

〔発明が解決しようとする課題〕

上述した従来の電子線測長方法は一定の加速電圧で、パターン部を電子線走査し、発生する2次電子を検出し、その波形をもとにパターン寸法を計算するが加速電圧800V付近を用いると2次電子信号波形のSN比は良いが、2次電子放出量が多く信号が全体的にふくらみ、太めに測定してしまう。また加速電圧1.2kV付近を用いると、2次電子放出量が少なく信号が全体に下がり、SN比も悪くなり、細く測定してしまうという問題があった。

〔課題を解決するための手段〕

本発明の電子線測長方法は電子線を試料上に集束して走査し、前記試料上に形成されているパターンの寸法を計測する電子線測長方法において、

ダメージを小さくするため2kV以下で一定に保たれている。

第8図は従来の電子線測長方法を説明するための工程図である。

第9図は加速電圧と電子線を照射する物質からの2次電子放出効率との関係を示した図である。放出効率が1の時、入射電子数と発生2次電子数は同じである。LSIで用いられる多くの物質で1となる加速電圧は500V付近及び1.2kV付近である。放出効率が1より大の時発生する2次電子数は入射電子数よりも多い。特にほとんどの物質では、800V付近で放出効率が極大値を持ち、この時の2次電子信号波形は最もSN比が良いものとなる。ただし、物質は正に帯電する。放出効率が1より小では、発生する2次電子数は入射電子数よりも小さく、物質は負に帯電する。

第10図は測長部120と電子ビーム121との位置関係を示した断面図であり、第11図は加速電圧800V、第12図は加速電圧1.2kVでそれぞれ得られた2次電子信号波形122、

前記電子線の加速電圧を段階的に変えて、前記試料上に形成されているパターン上を走査し、得られた信号波形を合成処理し、前記パターンの寸法を求める手段を有している。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の第1の実施例を説明するための工程図である。

第1図に示すように、まず、測長すべきパターンを測長位置に位置合わせを行なう。次に、電子ビームの加速電圧を1.2kVに設定した後、電子光学系の軸合わせを行なう。電子ビーム測長機では、加速電圧を変化すると電子光学系の軸がずれるので軸調整を行なう必要がある。ただし、あらかじめ加速電圧毎に最適な軸調整の条件をメモリ内に記憶しておき、加速電圧を変化した時、その加速電圧に対応する軸調整条件をメモリから読み出し設定を行なっても良い。次に、パターンを電子ビームで走査する。ここで、走査回数は従来

の m 回に対し、 $m/2$ 回行なう。得られた2次電子信号波形を第1のメモリに記憶する。次に、加速電圧を800Vに設定し、800Vでの軸調整条件をメモリから読み出し設定する。次に、パターン上を $m/2$ 回電子ビームで走査し、2次電子信号波形を第2のメモリに記憶する。次に、第1のメモリ及び第2のメモリに記憶された2次電子信号波形を取り出し、CPUにより信号の合成を行ないスレッシュホールド法や直線近似法などによりパターン寸法を算出する。

第2図乃至第5図は本実施例を説明するための図でそれぞれ測定すべきパターン部断面図、加速電圧1.2kVでの2次電子信号波形、加速電圧0.8kVでの2次電子信号波形、両加速電圧で得られた2次電子信号波形を合成したものである。加速電圧1.2kVでは実寸 ϕ よりもやや細く(ϕ_1)、0.8kVではやや太く(ϕ_2)測定されるのに対し、本実施例ではほぼ実寸通りに測定される(ϕ_3)。ここで、先に加速電圧1.2kVを用いたのは1.2kVではチャージ

アップの影響が小さいからである。0.8kVを先に用いるとパターンはチャージアップを起こし、次の1.2kVでの測定時、2次電子信号波形が大きくゆがんでしまい、合成信号もゆがみ測定精度が劣化するためである。

また、本実施例では加速電圧0.8kV、1.2kV両者に於いて、それぞれパターン上の電子ビーム走査回数を $m/2$ 回としたが、必ずしも $m/2$ 回ずつにする必要はなく、あくまでも測定が正確に行なわれるべく設定するものである。

第6図は本発明の第2の実施例を説明するための工程図である。

第1の実施例では加速電圧を1.2kVと0.8kVの2段階で2次電子信号の収集を行なったが、第2の実施例では、1.2kVと0.8kVの間で1定電圧間隔で、 n 段階の加速電圧(1.2kV、0.8kV含む)を用い信号収集を行なう。まず加速電圧を1.2kVとし2次電子信号波形を収集し、第1のメモリに記憶する。

以下余白

次に加速電圧を $V_i = 1.2 - \frac{1}{n-1} \times (1.2 - 0.8) \text{ (kV)}$ に設定する。軸調整あるいはメモリ中から軸調整条件を読み出し設定後、2次電子信号波形を収集し、第2のメモリに保存する。第1のメモリ及び第2のメモリの信号波形を合成し第1のメモリに保存する。再び、加速電圧を下げて、信号収集し、信号合成し、第1メモリに記憶する一連の動作を加速電圧が800Vになるまで、 n 回繰り返す。尚、1繰り返し毎に下げる加速電圧は $0.4 / (n-1) \text{ (kV)}$ である。こうして、すべての加速電圧での信号が合成された後、寸法算出を行なう。尚、加速電圧の上限、下限は必ずしもそれぞれ1.2kV、0.8kVにする必要はない。また第2の実施例で加速電圧を n 段階に設定するのは、加速電圧を第1の実施例の如く大きく変化させると軸調整条件が大きく変化し、メモリ中に保存されてる最速条件が最速条件でなくなってしまうことがあるためであり、加速電圧の変化が小さい場合(0.1

kV以下)には、こういう減少がほとんどみられないためである。

〔発明の効果〕

以上説明したように本発明は、順次電子線の加速電圧を変化し、各加速電圧で得られた2次電子信号波形を合成し、パターン寸法を求めるので、試料のチャージアップによる波形のひずみを受けずまたSN比も良いためパターン寸法が精度良く計測され、即ち高品質の半導体装置の作成を可能ならしめるという効果がある。

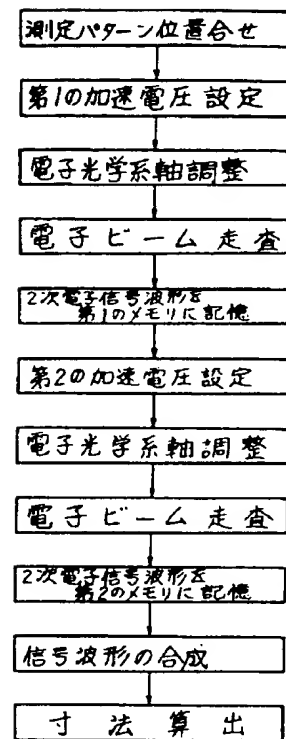
図面の簡単な説明

第1図は本発明の第1の実施例を説明するための工程図、第2図は本発明の第1の実施例を説明するための被測定試料の模式的断面図、第3図乃至第5図は本発明の第1の実施例を説明するための2次電子信号波形図、第6図は本発明の第2の実施例を説明するための工程図、第7図は従来の電子線測長方法を説明するための電子測長装置の一例を示す模式図、第8図は従来の電子線測長方

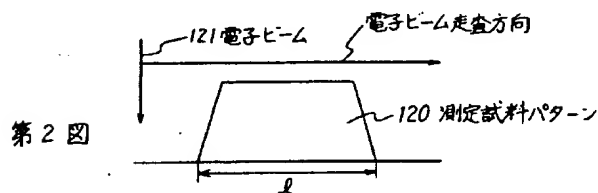
法を説明するための工程図、第9図は加速電圧と2次電子放出効率との関係を示す図、第10図は従来の電子線測長方法を説明するための被測定試料の模式的断面図、第11図及び第12図は従来の電子線測長方法を説明するための2次電子信号波形図である。

100…鏡筒部、101…電子銃部、102…制限アパーチャ、103…ブランキング電極、104…縮小レンズ、105…制限アパーチャ、106…縮小レンズ、107…走査偏向電極、108…投影レンズ、109…ウェハー、110…ウェハー台、111…ステージ、112、113…真空ポンプ、114…防震台、115…制御系、116…CRT、117…電子ビーム、118…シンチレータ、120…測定試料、121…電子ビーム、122、123、124…信号波形。

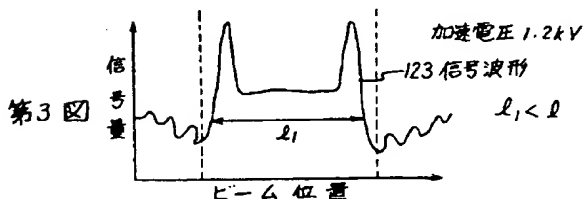
代理人 井理士 内 原 智



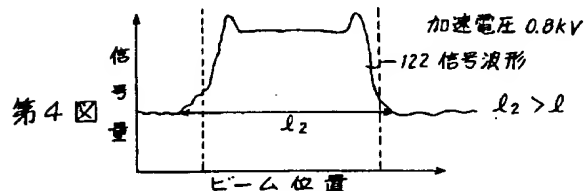
第 1 図



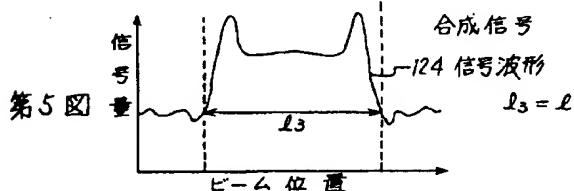
第 2 図



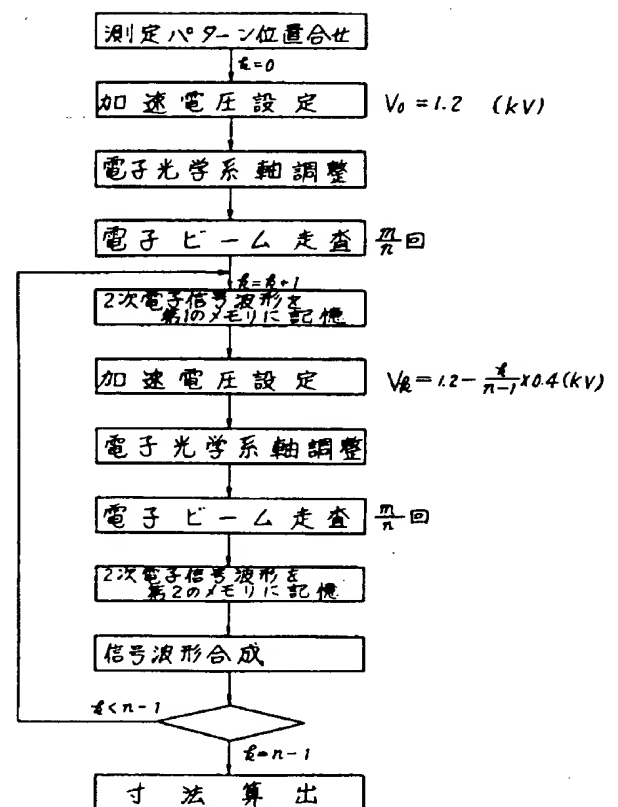
第 3 図



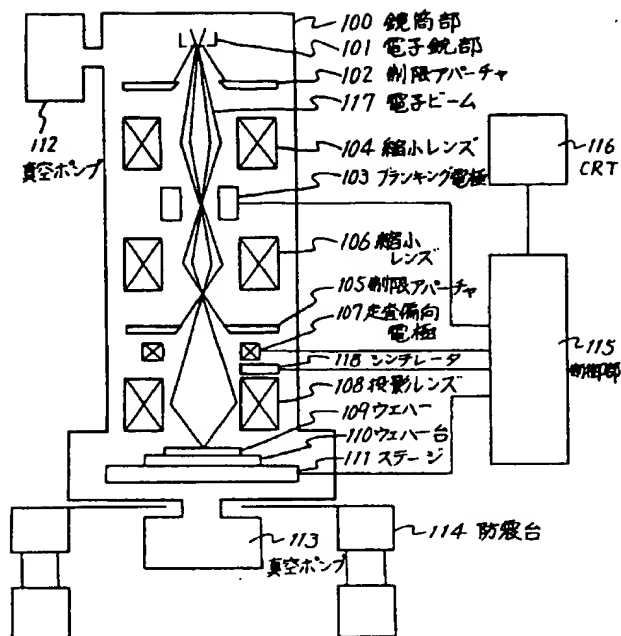
第 4 図



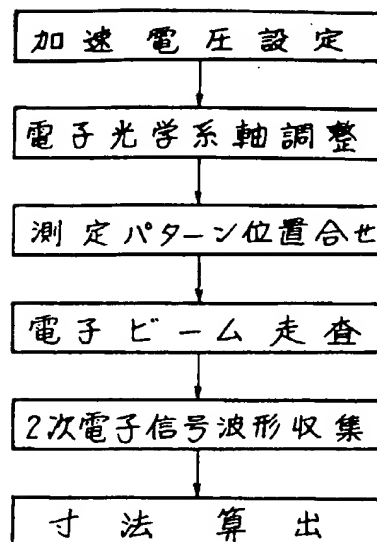
第 5 図



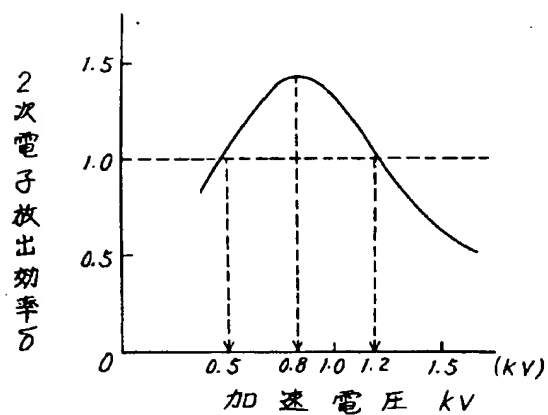
第 6 図



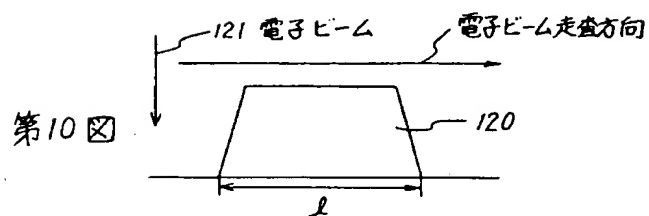
第 7 図



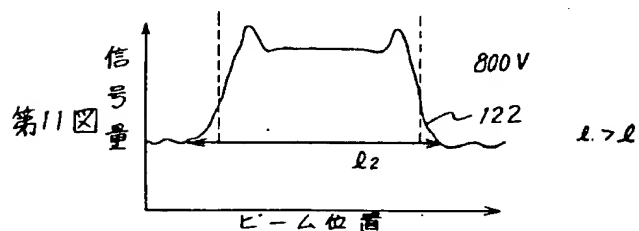
第 8 図



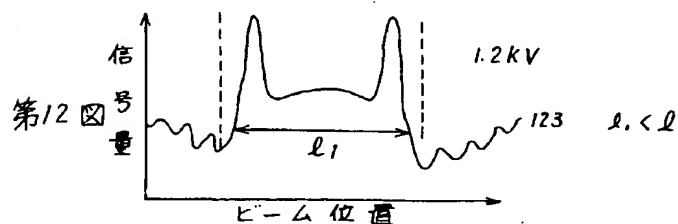
第 9 図



第10図



第11図



第12図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.